

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/146				
H 0 4 N 1/028	Z			
1/19				
		7376-4M	H 0 1 L 27/ 14	A
			H 0 4 N 1/ 04	1 0 2
			審査請求 未請求 請求項の数1	OL (全 9 頁) 最終頁に続く

(21) 出願番号 特願平6-313687

(22) 出願日 平成6年(1994)12月16日

(31) 優先権主張番号 1 6 9 9 4 6

(32) 優先日 1993年12月20日

(33) 優先権主張国 米国 (U S)

(71) 出願人 590000846

イーストマン コダック カンパニー
 アメリカ合衆国, ニューヨーク14650, ロ
 チェスター, ステイト ストリート343

(72) 発明者 ロバート エイチ フィルブリック
 アメリカ合衆国 ニューヨーク 14612,
 ロチェスター, クレストウェイ・レーン
 25

(72) 発明者 ヘルベルト ジェイ エルハルト
 アメリカ合衆国 ニューヨーク 14625,
 ロチェスター, ランディング・ロード・ノ
 ース 115

(74) 代理人 弁理士 伊東 忠彦 (外1名)

(54) 【発明の名称】 減少されたフォトダイオード間のクロストークを有するCCD画像センサー

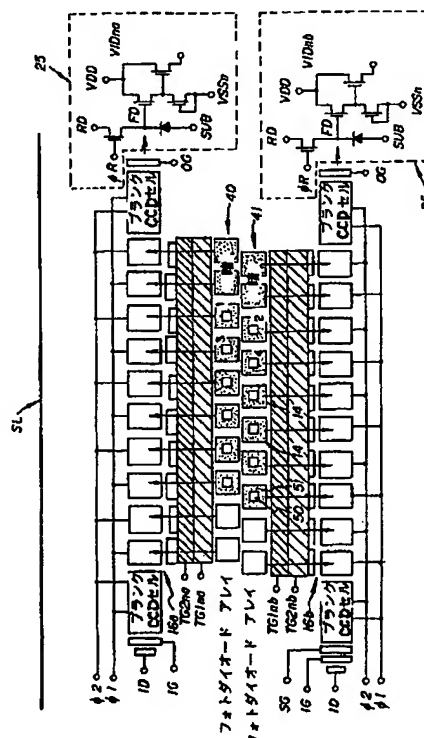
(57) 【要約】 (修正有)

【目的】 非常に高い空間サンプリングと、低いフォトダイオード間のクロストークと、高い電荷格納密度とを有し、加えて電子的露光構造が組み込まれる改善されたCCD画像センサーを提供する。

【構成】 (a) 走査ラインに沿って所定の幅の光検出開口を有して配列された個々の画像化光検出器の二つのリニアアレイと、それらリニアアレイ内の隣接する光検出開口50が、光検出開口間に光検出開口の幅に実質的に等しい幅の光遮蔽51を持ち、第一のリニアアレイ40の隣接する光検出開口間に入射する全ての光情報が第二のリニアアレイ41の光検出開口により感応されるように第一のアレイから走査ラインに沿って概ね光検出開口の幅だけオフセットする第二のリニアアレイと、

(b) 第一(第二)のリニアアレイの画像化光検出器により生成される電荷キャリアを受け、格納する第一

(第二)のCCDレジスタ16a(16b)とからなる。



【特許請求の範囲】

【請求項1】 (a) それぞれがその上に印加された光情報に感応する走査ラインに沿った所定の幅の光検出開口を有し、該光情報を該光検出開口の下に位置する収集領域内に収集される電荷キャリアに変換する、走査ラインに沿って配列された個々の画像化光検出器の第一及び第二のリニアアレイと、 (b) 該第一及び第二のリニアアレイ内の隣接する光検出開口が光検出しな領域により分離されるように該第一及び第二のリニアアレイの両方に隣接する光検出開口間に設けられる該光検出開口の幅に実質的に等しい幅を有する光遮蔽と、 (c) 該第一のリニアアレイの隣接する光検出開口間に入射する実質的に全ての光情報が該第二のリニアアレイの光検出開口により感応されるように該第一のアレイに平行で、該第一のアレイから該走査ラインに沿って概略光検出器の光検出開口の幅だけオフセットする該第二のリニアアレイと、 (d) 該第一のリニアアレイの画像化光検出器により生成される電荷キャリアを受け、一時的に格納する該第一のリニアアレイに隣接する第一のCCDレジスタと、 (e) 該第二のリニアアレイの画像化光検出器により生成される電荷キャリアを受け、一時的に格納する該第二のリニアアレイに隣接する第二のCCDレジスタとからなるCCD画像センサー。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はCCD画像センサーに関し、更に詳しくは非常に高いサンプリング性能と低いフォトダイオード間のクロストークと高い電荷格納密度と電子的露光制御を有する改善された画像センサーに関する。

【0002】

【従来の技術】 図1を参照するに従来技術のCCD画像化器の概略平面図を示す。CCD画像化器10は複数の画像化光検出器14をその中に有する半導体材料の本体からなる。示されているように画像化光検出器14はリニアアレイ用の直線状のアレイ内に配置される。しかしながら光検出器14は領域アレイ用の行及び列のアレイ内に配置されうる。それぞれの画像化光検出器はフォトダイオード又はフォトキャパシタのような良好に知られている光検出器の型でありえ、これは光子を受けそれを電荷キャリアに変換する。画像化光検出器14のラインの一方の側に沿ってCCDシフトレジスタ16がある。CCDシフトレジスタ16は光検出器14のラインに沿って延在し、該ラインから隔たっているチャンネル領域（図示せず）からなる。チャンネル領域が埋め込みチャンネルの場合にはそれはCCD画像化器の本体のそれと反対の導電性型の領域である。複数の第一のゲート電極20はチャンネル領域にわたり、該領域から絶縁されている。第一のゲート電極20はチャンネル領域に沿って別の画像化光検出器14に隣接するそれぞれ

の第一のゲート電極20と隔てられている。複数の第二のゲート電極22はチャンネル領域にわたり、該領域から絶縁されている。第二のゲート電極22はそれぞれが別の画像化光検出器14に隣接するよう第一のゲート電極20と交互の関係に配置される。斯くして2相CCDシフトレジスタ16を形成するそれぞれの画像化光検出器14に隣接する1の第一のゲート電極20及び1の第二のゲート電極22の2つのゲート電極がある。ゲート電極20及び22は多結晶シリコンのような導電性材料であり、典型的には二酸化シリコンである絶縁材料の層（図示せず）によりチャンネル領域から絶縁される。第一のゲート電極20は第一のクロック位相Φ1にすべて接続され、第二のゲート電極は第二のクロック位相Φ2にすべて接続される。

【0003】 転送ゲートTG1n及びTG2nは画像化光検出器14とCCDシフトレジスタ16のチャンネルとの間の画像化器の本体にわたり延在し、該本体から絶縁される。2つの転送ゲートがここに示されているが、1つのゲートのみが真に必要なことが理解されよう。集積期間の終わりには各画素内に収集された光により生成された電荷はTG1n及びTG2nピンに対して適切な電圧のバイアスを印加することにより隣接するCCDセルに転送され、一方でCCDはなおアイドル状態である。電荷転送の終わりには転送ゲートクロックは絶縁電位及びCCDクロッキングレジュームに戻る。それぞれの電荷バケットがCCDの端でOG電位にわたってクロックされるので、出力回路25のVIDnピンでの出力電圧での対応する電荷が観測される。

【0004】 別の露光ドレイン領域34はCCDシフトレジスタ16の反対側の各画像化光検出器14の側方に隣接するがそれから隔たった画像化器の本体にある。露光制御ゲート36は画像化光検出器14と露光ドレイン領域34との間で画像化器の本体に隣接し、それから絶縁される。電位は画像化光検出器14と露光ドレイン領域34との間の電位バリア高さを低下させる集積期間の開始部分中に露光制御ゲート36に（ピンLOGnを介して）印加される。電位が印加される時には光検出器14内で発生する全ての電荷キャリアはそれらが持ち去られる露光ドレイン領域34内に流入する。所定の期間後に露光制御ゲート36上の電位は低下され、画像化光検出器14と露光ドレイン領域34との間のバリア電位を形成する。これにより電荷は集積期間の残りで光検出器14内に収集されうる。故に有効露光時間は露光制御ゲート電位が低下される期間に限定される。このような電子的露光構造は光源に対する各チャンネルの光応答のバランスのためそれぞれが異なる色分離フィルターを有する多チャンネルを含むリニア画像化器内で用いられ；かくしてそれぞれのチャンネル（又は色）の最大のダイナミックレンジが達成される。電子的露光機能は多アレイリニア画像化器に対して高い価値を有する。

3

【0005】CCDに基づく固体画像化器の動作のより詳細な説明はJ. D. E. Beynon著の「Charge-Coupled Devices and Their Applications」マグローヒル社、ニューヨーク、1979年及びM. J. Hows著の「Charge-Coupled Devices and Systems」John Wiley and Sons社ニューヨーク、1979年に記載されている。

【0006】図1に示すチャンネルアーキテクチャーの1つの問題は、非常に小さい画素ピッチ長さ（典型的に $9\mu\text{m}$ より小さい）に対して画像化器の性能特性の幾つかが劣化することである。特に変調伝達関数（MTF）はフォトダイオード間のクロストークが増幅するにつれて減少し、電荷密度は2次元電界効果によりCCD内で減少する。変調伝達関数の拡散劣化のこのような問題はDavid H. Seib著の「Carrier Diffusion Degradation of Modulation Transfer Function in Charge Coupled Image rs」, IEEE Transactions On Electron Devices, Vol. Ed 2 1, No. 3 pp210-217, 1974年3月に記載されている。 $7\mu\text{m}$ 以下の画素ピッチ寸法に対してレイアウト寸法はまた製造設計限界以下である。

【0007】図2に各CCDセル（20及び22）が図1の1対1関係と反対に2画素ピッチ幅により電荷格納密度が改善されたバイリニア画像化器のアーキテクチャーを示す。この目的のために関連するCCDシフトレジスタ（20及び22）と共に転送ゲート（TG1n及びTG2n）は画像化光検出器14の両側上に設けられる。転送ゲートTG1na、TG2na及びTG1nb、TG2nbを介して各フォトサイト14の下に格納された電荷はそれらの各々のシフトレジスタ16a及び16bに転送される。図2に示すように、全ての奇数のフォトサイトはシフトレジスタ16bに結合され、全ての偶数のフォトサイトはシフトレジスタ16aに結合される。適切な時に情報は装置10の右（又は左）側から出力回路25にシフトされて出力する。従って回路は出力パルス列が入射光情報の入力を表すように回路25からの出力を混合するために用いられる。そのような構造は例えばKodak

【0008】

【外1】

Ⓢ

【0009】KLI-5001リニア画像化器で用いられている。しかしながらこのアーキテクチャーは電子的露光回路は含まず、レイアウト設計ルールは再び画素ピッチ寸法に限定され、それにより $7\mu\text{m}$ 以下のピッチは適切には得られない。更にまたそのような構造は小さな

4

画素ピッチに対するフォトダイオード間の増加するクロストークを被り、斯くして全体のMTFは減少する。

【0010】図3を参照するに図2に示された回路とかなり異なったバージョンを示す。この構造によれば画像化器10は隣接する転送ゲート領域（TG1n及びTG2n）間の「ギャップ」内に付加される電子的露光回路（A）を設けられる。そのようなアーキテクチャーはFarchild

【0011】

【外2】

Ⓢ

【0012】のCCD181リニア画像化器で用いられている。そのような構造の問題は画素ピッチが小さく（典型的に $7\mu\text{m}$ より小さく）なる場合に隣接転送ゲート間の上記ギャップは非常に小さくなるため電子的露光構造に組み込めない。加えて図2の構造に関して、この設計は小さな画素ピッチに対する増加するフォトダイオード間のクロストークを被り、斯くして全体のMTFは減少する。

【0013】他の例はIEEEソリッドステート回路国際会議、1984年、36-37頁と同様に1984年2月14日許可のStoffel等のアメリカ特許第4、432、017号明細書に記載されている。これは図4に示されている。この示されたCCDアレイは連続したフォトサイトの第一の行40及び連続したフォトサイトの第二の行41からなる。第一の行は第二の行と連続である。第二の行41はフォトサイトの第二の行が第一の行の隣接するフォトサイト間に入射した光情報に感応するよう第一の行から第一の行上のフォトサイトの長さの概略2分の1だけオフセットされる。シフトレジスタ42、43、44は光生成した電荷を収集するよう第一及び第二の行の両方に隣接して設けられ、レジスタ42及び44の出力は走査された情報を表す単一の出力パルス列を生成するようマルチプレックスされる。図4に示されるように第一の行の開口と隣接する第二の行の開口との間の「光検出されない」領域がないのと同様に2つの隣接する行の開口間の「光検出されない」領域がないことがわかる。そのような構造は折り返し（aliasing）に関して実質的な改善を与える。しかしながらMTFの改善はない。更にまたフォトダイオードアレイの近接した物理的配置の結果のフォトダイオード間のクロストークにより理想的なMTF以下の結果が得られる。最終的にこのような設計はどんな電子的な露光能力も含まない。

【0014】同じ欠点を有する類似のシステムはまた1987年12月8日許可のKadekodi等によるアメリカ特許第4、712、137号明細書にも記載されている。

【0015】

【発明が解決しようとする課題】従って本発明の目的は

従来技術のシステムに関する上記の不適切な点を克服した改善されたCCD画像センサーを提供することにある。

【0016】

【課題を解決するための手段】この目的は(a) それぞれがその上に印加された光情報に感応する走査ラインに沿った所定の幅の光検出開口を有し、該光情報を該光検出開口の下に位置する収集領域内に収集される電荷キャリアに変換する、走査ラインに沿って配列された個々の画像化光検出器の第一及び第二のリニアアレイと、

(b) 該第一及び第二のリニアアレイ内の隣接する光検出開口が光検出しない領域により分離されるように該第一及び第二のリニアアレイの両方に隣接する光検出開口間に設けられる該光検出開口の幅に実質的に等しい幅を有する光遮蔽と、(c) 該第一のリニアアレイの隣接する光検出開口間に入射する実質的に全ての光情報が該第二のリニアアレイの光検出開口により感応されるように該第一のアレイに平行で、該第一のアレイから該走査ラインに沿って概略光検出器の光検出開口の幅だけオフセットする該第二のリニアアレイと、(d) 該第一のリニアアレイの画像化光検出器により生成される電荷キャリアを受け、一時的に格納する該第一のリニアアレイに隣接する第一のCCDレジスタと、(e) 該第二のリニアアレイの画像化光検出器により生成される電荷キャリアを受け、一時的に格納する該第二のリニアアレイに隣接する第二のCCDレジスタとからなるCCD画像センサーにより達成される。

【0017】以下に類似の記号は類似の部品を示し、本発明の記載の一部をなす図を参照して本発明のこれらの及び他の目的を更に明らかにするよう説明する。以下に本発明の利点を示す：それは非常に高い空間サンプリングと、低いフォトダイオード間のクロストークと、高い電荷格納密度とを提供する。加えてそれにより電子的露光構造が組み込まれうる。

【0018】

【実施例】図5を参照するに本発明によるCCD画像センサーの第一の実施例を示す。システムの一般的な構造は上記アメリカ特許明細書に記載される1つと類似である。本発明によるCCD画像センサーは走査ラインSLに沿って配列された各々の画像化光検出器14の第一40及び第二41のリニアアレイからなる。図6により詳細が示されるように第一のアレイ40は偶数画素($n+1$ 、 $n+3$ 、 $n+5$ 、 $n+7$ 、等々)のアレイに対応し、第二のアレイ41は奇数画素(n 、 $n+2$ 、 $n+4$ 、 $n+6$ 、等々)のアレイに対応する。これらの光検出器14は光検出開口50を介してその上に入射した光情報に感応し、この光情報を電荷キャリアに変換する。電荷キャリアは光検出開口50下に位置する収集領域内で収集される。図6から明かなように第一及び第二のアレイ両方の隣接する光検出開口は光遮蔽層51により

分離され、それにより2つの隣接する光検出開口は光検出器でない領域により分離される。結果として非常に高い開口MTFが得られうる。アレイのフォトダイオード間の低い拡散クロストークもまた得られうる。

【0019】本発明の他の特徴によれば第一のリニアアレイ40と平行な第二のリニアアレイ41は走査ラインSLに沿った第一のリニアアレイ40から光検出開口50の幅 T_p に実質的に等しい距離だけオフセットされ、それにより開口50の幅を実質的に有する光検出器でない領域51を伴い、第一のアレイの隣接する光検出開口間に入射する光情報の実質的に全てが第二のアレイの光検出開口により感応され、斯くして走査される画像長さ全体にわたる連続的な空間が覆われる。

【0020】好ましくは図5及び6に示されるように第一のアレイのフォトダイオードと第二のアレイのフォトダイオードとの間のクロストークを低減するために光遮蔽層51は光検出開口の全ての周囲を囲むよう設けられ、それにより第一のアレイ40の光検出開口は光検出しない領域により第二のアレイの光検出開口から分離される。好ましくはこの光検出しない領域に加えて更なる光検出しない空間 T_w が2つのリニアアレイ間に設けられうる。例えばそのような空間は光検出開口の幅の4倍の幅であり得る。1実施例によればこの空間はこの光検出しない空間の下に第一のアレイ40と第二のアレイ41との間のクロストークを更に最小化しようドレインのような構造を注入することにより効果的に用いられ、それによりフォトダイオード間のクロストークを効果的に減少する。その代わりに電子的露光構造がこの空間内に位置されうる。これを以下により詳細に説明する。そのような設計は $5\mu\text{m}$ 以下のような非常に小さい画素開口を設けうる。フォトダイオードのピッチ、即ち距離 T_p はこの例では $10\mu\text{m}$ である。

【0021】本発明によるCCD画像センサーは上記に説明したように光検出器により生成された電荷キャリアがシフトレジスタ16a及び16bに転送されるよう光検出器アレイの両側に位置する転送ゲート(TG1na、TG2na、TG1nb、TG2nb)をまた設ける。第一のアレイ40に隣接する第一のシフトレジスタ16aは第一のアレイ40の画像化光検出器により生成された電荷キャリアを受け、一時的に格納する。第二のシフトレジスタ16bは第二のアレイ41の画像化光検出器により生成された電荷キャリアを受け、一時的に格納する。シフトされた信号を出力装置に収集し、増幅し、転送する出力回路25はシフトレジスタ16a、16bのそれぞれの端の1つに設けられ、マルチプレックス手段(図示せず)が走査された全部のラインに関する情報を提供するように出力回路25からの信号に結合するの用に用いられる。

【0022】図7に図5に示したのと若干異なり、電子的露光構造34、36が光検出器の2つのリニアアレイ

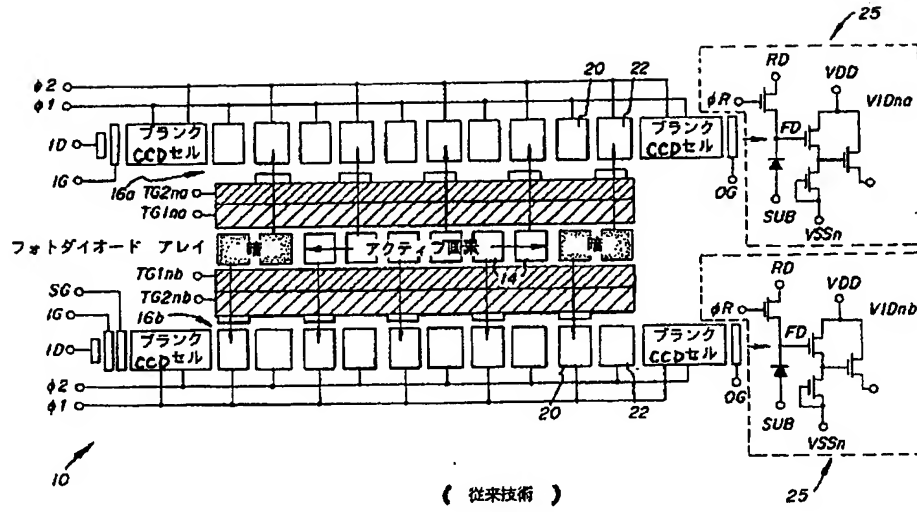
8

【図1】従来技術で知られているリニア画像化器の単一チャンネルのレイアウトを表す概略図である。

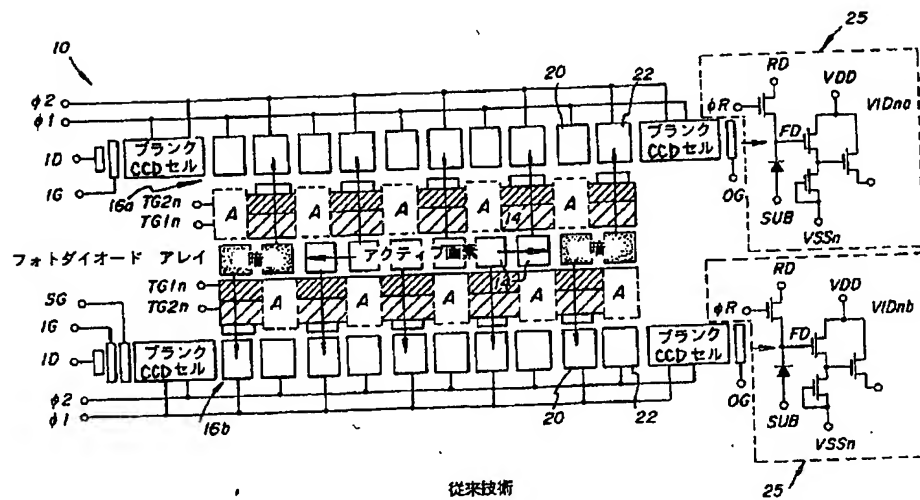
20 【符号の説明】
 10 CCD画像化器 14 画像化光検出器 16、16a、16b CCDシフトレジスタ 20 第一のゲート電極 22 第二のゲート電極 25 出力制御回路 34 露光ドレイン領域 36 露光制御ゲート 40 第一のリニアアレイ 41 第二のリニアアレイ 42、43、44 シフトレジスタ 50 光検出開口 51 光遮蔽層 52 集積領域 60 絶縁ダイオードフィンガー TG1n、TG2n 転送ゲート A 電子的露光回路 T_p フォトダイオードのピッチ T_w 光検出ししない空間

(從來技術)

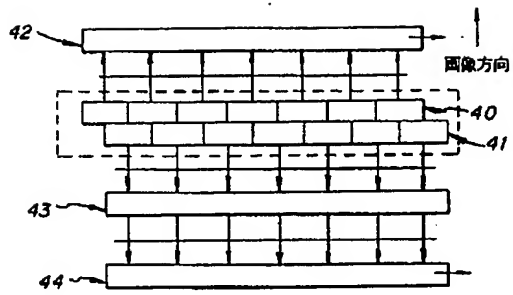
【図2】



【図3】

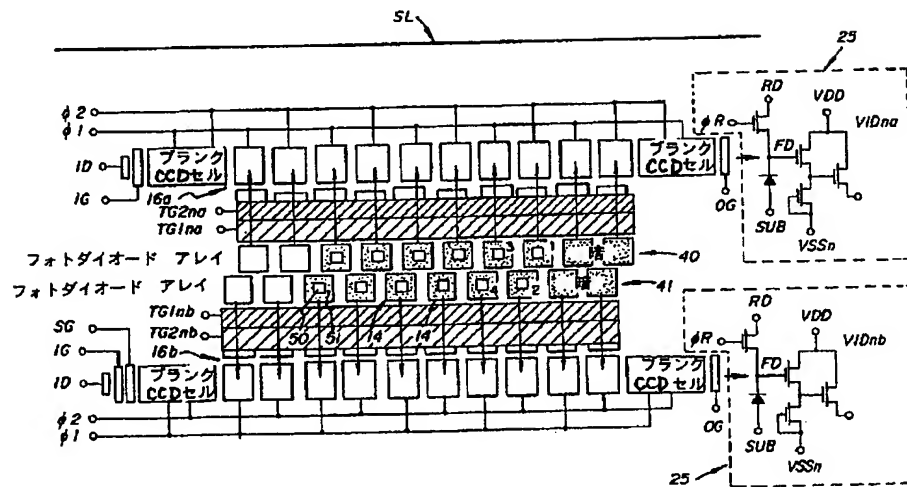


【図4】

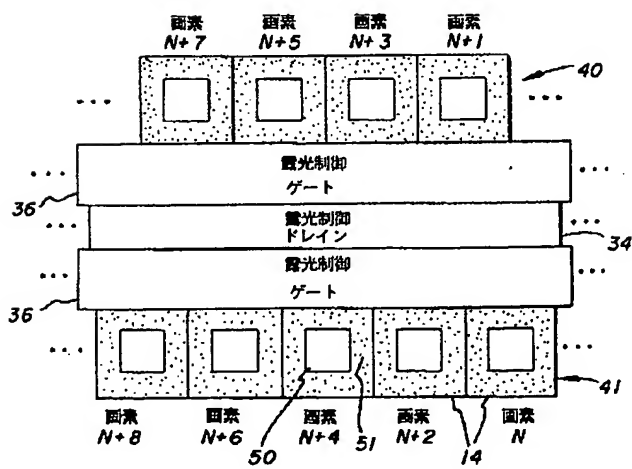


(従来技術)

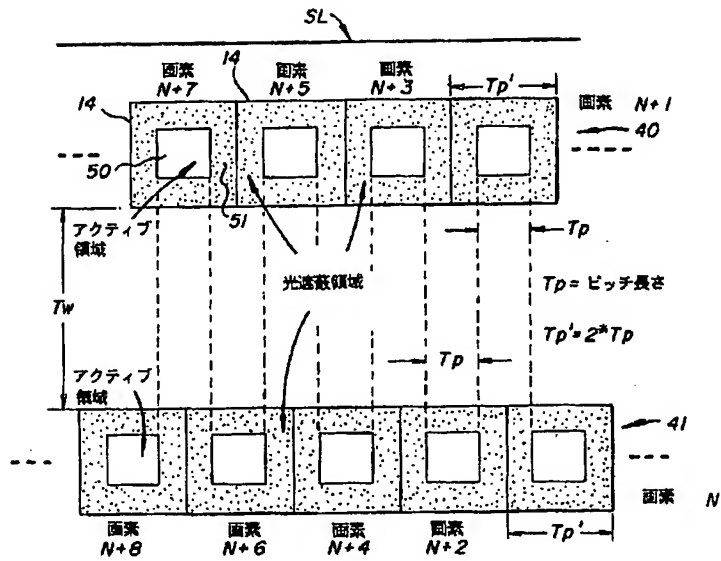
【図5】



【図8】



【図6】



【図7】

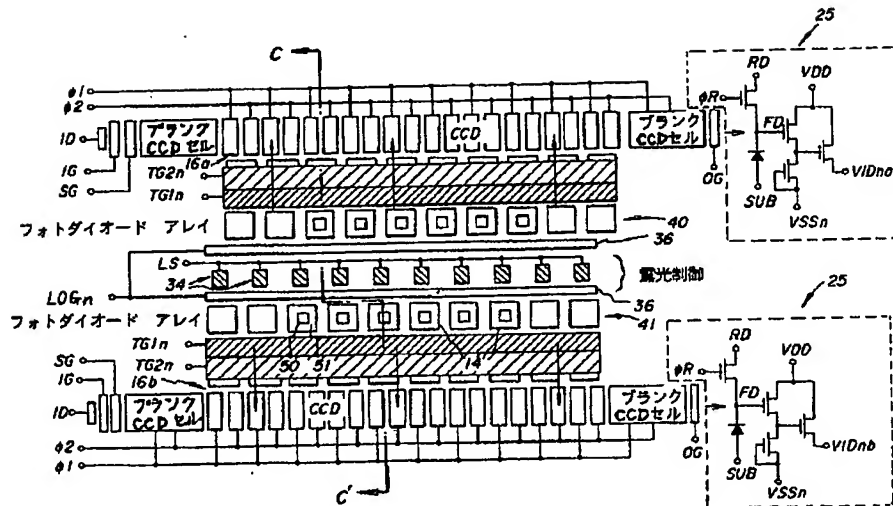


Figure 1 is a plan view of a pixel array 40. The array consists of a grid of pixels. A central horizontal band, labeled 34, is a light-shielding layer (遮光層) with the text "露光制御 ドレイン" (light exposure control drain) printed on it. Above and below this band are rows of pixels. The top row of pixels is labeled with "画素 N+7", "画素 N+5", "画素 N+3", and "画素 N+1" from left to right. The bottom row of pixels is labeled with "画素 N+8", "画素 N+6", "画素 N+4", "画素 N+2", and "画素 N" from left to right. A central pixel in the bottom row is labeled "画素 N". The pixels are arranged in a staggered pattern relative to the central band. Reference numerals 36 and 40 indicate specific regions and the overall array structure.

(51) Int. Cl. ⁶

識別記号

庁内整理番号

S

F I

技術表示箇所